

T-03 EDO 241

SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

Patent Number: JP10163840

Publication date: 1998-06-19

Inventor(s): SADAYUKI HIDEKAZU; AGATA MASASHI; KII NAOTO

Applicant(s): MATSUSHITA ELECTRIC IND CO LTD

Requested Patent: JP10163840

Application Number: JP19960324927 19961205

Priority Number(s):

IPC Classification: H03K17/22; G06F1/24; G06F12/16; G11C7/00

EC Classification:

Equivalents:

Abstract

PROBLEM TO BE SOLVED: To normally generate a reset pulse signal even at the time of power reclosing just after power disconnection in a power-on reset circuit.

SOLUTION: An electric charge eliminating circuit 502 which eliminates residual charge at the time of power disconnection and an N-channel MOS transistor 19 are added to a node N11. Because residual charge at the node N11 is instantly eliminated at the time of power disconnection by the circuit 502, a reset pulse signal can normally be generated. Also, even if a leakage current occurs at an N-channel MOS transistor 17 by the transistor 19 because a substrate voltage is shallow at the time of turning on power, the node N11 is reset in a low level and can normally generate a reset pulse signal because similarly, leak current occurs at the transistor 19.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-163840

(43)公開日 平成10年(1998)6月19日

(51)Int.Cl.⁶
H 03 K 17/22
G 06 F 1/24
12/16 3 4 0
G 11 C 7/00 3 1 1

F I
H 03 K 17/22 C
G 06 F 12/16 3 4 0 S
G 11 C 7/00 3 1 1 C
G 06 F 1/00 3 5 1

審査請求 未請求 請求項の数15 O.L (全 11 頁)

(21)出願番号 特願平8-324927

(22)出願日 平成8年(1996)12月5日

(71)出願人 000005821
松下電器産業株式会社
大阪府門真市大字門真1006番地

(72)発明者 定行 英一
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 縣 政志
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 紀伊 直人
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

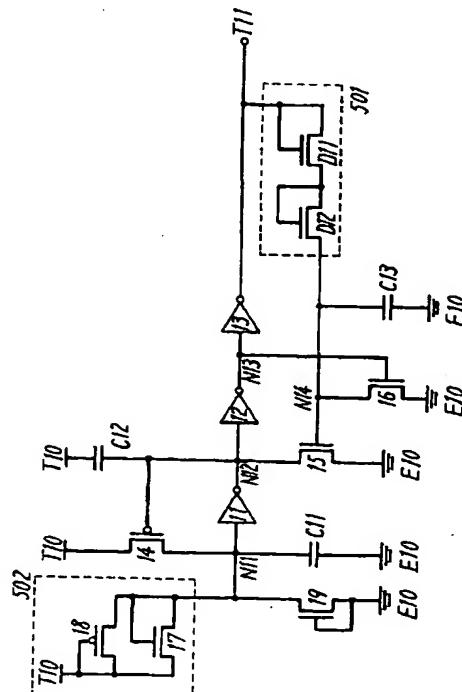
(74)代理人 弁理士 渡本 智之 (外1名)

(54)【発明の名称】 半導体集積回路装置

(57)【要約】

【課題】 パワーオンリセット回路において、電源切断直後の電源再投入時においても正常にリセットパルス信号を発生させる。

【解決手段】 ノードN11に電源切断時の残留電荷を除去する電荷除去回路502と、NチャネルMOSトランジスタ19とを附加する。電荷除去回路502によって電源切断時にノードN11の残留電荷は瞬時に除去されるので、正常にリセットパルス信号を発生できる。またNチャネルMOSトランジスタ19によって、電源投入時に基板電圧VBBが浅いことによりNチャネルMOSトランジスタ17でリーク電流が生じても、同様にNチャネルMOSトランジスタ19でリーク電流が生じるので、ノードN11はローレベルにリセットされて正常にリセットパルス信号が発生できる。



【特許請求の範囲】

【請求項1】 電源とノードとの間に接続された第1のMOSトランジスタと、前記ノードがハイレベルのとき前記第1のMOSトランジスタを導通させる手段と、前記ノードがローレベルのとき、電源電圧が所定のレベルを越えてから所定の遅延を経て、前記第1のMOSトランジスタを導通させる手段と、前記ノードと前記電源との間にソース、ドレイン間電流経路が接続され、前記ノードから前記電源への一方向のみに電流が流れるようダイオード接続された第2のMOSトランジスタとを有することを特徴とする半導体集積回路装置。

【請求項2】 第2のMOSトランジスタが、ソースが電源に接続され、ゲートとドレインが前記ノードに共通接続されたNチャネルMOSトランジスタであることを特徴とする請求項1記載の半導体集積回路装置。

【請求項3】 第2のMOSトランジスタが、ソースが前記ノードに接続され、ゲートとドレインが電源に共通接続されたPチャネルMOSトランジスタであることを特徴とする請求項1記載の半導体集積回路装置。

【請求項4】 電源とノードとの間に接続された第1のMOSトランジスタと、前記ノードがハイレベルのとき前記第1のMOSトランジスタを導通させる手段と、前記ノードがローレベルのとき、電源電圧が所定のレベルを越えてから所定の遅延を経て、前記第1のMOSトランジスタを導通させる手段と、前記ノードと基準電位との間にソース、ドレイン間電流経路が接続され、所定の固定電位にゲートが接続された第3のMOSトランジスタとを有することを特徴とする半導体集積回路装置。

【請求項5】 前記ノードと基準電位との間にソース、ドレイン間電流経路が接続され、所定の固定電位にゲートが接続された第3のMOSトランジスタとを有することを特徴とする請求項1記載の半導体集積回路装置。

【請求項6】 前記所定の固定電位が基準電位であることを特徴とする請求項4または請求項5記載の半導体集積回路装置。

【請求項7】 前記所定の固定電位が基板電位であることを特徴とする請求項4または請求項5記載の半導体集積回路装置。

【請求項8】 前記ノードの電圧レベルに基づいてパワーオンリセットパルスを発生させることを特徴とする請求項1、請求項2、請求項3、請求項4、請求項5、請求項6または請求項7のいずれかに記載の半導体集積回路装置。

【請求項9】 ノードに接続された容量と、電源と前記ノードとの間にソース、ドレイン間電流経路が接続され、電源電圧が所定のレベルを超えたとき前記容量を充電する第1のMOSトランジスタと、前記ノードと前記電源との間にソース、ドレイン間電流経路が接続され、前記ノードから前記電源への一方向のみに電流が流れるようダイオード接続された第2のMOSトランジスタと

を有することを特徴とする半導体集積回路装置。

【請求項10】 第2のMOSトランジスタがソースが電源に接続され、ゲートとドレインが前記ノードに共通接続されたNチャネルMOSトランジスタであることを特徴とする請求項9記載の半導体集積回路装置。

【請求項11】 第2のMOSトランジスタがソースが前記ノードに接続され、ゲートとドレインが電源に共通接続されたPチャネルMOSトランジスタであることを特徴とする請求項9記載の半導体集積回路装置。

【請求項12】 前記ノードと基準電位との間にソース、ドレイン間電流経路が接続され、所定の固定電位にゲートが接続された第3のMOSトランジスタとを有することを特徴とする請求項9記載の半導体集積回路装置。

【請求項13】 前記所定の固定電位が基準電位であることを特徴とする請求項12記載の半導体集積回路装置。

【請求項14】 前記所定の固定電位が基板電位であることを特徴とする請求項12記載の半導体集積回路装置。

【請求項15】 前記ノードの電圧レベルに基づいてパワーオンリセットパルスを発生させることを特徴とする請求項9、請求項10、請求項11、請求項12、請求項13または請求項14のいずれかに記載の半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体集積回路装置に関し、特に、電源投入時にパワーオンリセットパルスを発生する半導体集積回路装置に関するものである。

【0002】

【従来の技術】 従来から、半導体集積回路装置では電源投入時に、同一チップ上に集積した別の回路を初期化するためのパルス信号を発生するパワーオンリセットパルス発生回路が用いられている。

【0003】 図10に従来のパワーオンリセットパルス発生回路を示す。このようなパワーオンリセットパルス発生回路は、例えば特開昭63-246919号公報等に開示されている。

【0004】 図10を参照して、このパワーオンリセットパルス発生回路の構成を説明する。

【0005】 11は入力がノードN11に接続されたインバータ、12は入力がノードN12に接続されたインバータ、13は入力がインバータ12の出力点であるノードN13に接続され、パワーオンリセットパルスを出力端子T11に出力するインバータである。14はゲートはノードN12に、ソースは電源端子T10に、ドレインはノードN11に接続されたPチャネルMOSトランジスタ、22はゲートはノードN12に、ソースはグランドE10に、ドレインはノードN11に接続されたNチャネルMOSトランジスタであり、14と22によ

り、ノードN12を入力とし、ノードN11を出力とするインバータが形成されている。また、このインバータとインバータ11によりフリップフロップが形成されている。C11は一端がノードN11に、他端がグランドE10に接続されたキャパシタ、C12は一端が電源端子T10に、他端がノードN12に接続されたキャパシタである。501はNチャネルMOSトランジスタのドレインとゲートを接続したMOSダイオードD11、D12を直列接続したMOSダイオードアレイであり、MOSダイオードアレイ501においては、ドレインとゲートは出力端子T11に、ソースはノードN14に接続されている。15はドレインがノードN12に、ゲートがノードN14に、ソースがグランドE10に接続されたNチャネルMOSトランジスタ、16はドレインがノードN14に、ゲートがノードN13に、ソースがグランドE10に接続されたNチャネルMOSトランジスタである。C13は一端がノードN14に、他端がグランドE10に接続されたキャパシタである。

【0006】次に図10の従来のパワーオンリセットパルス発生回路の動作について、電源投入時の動作波形図である図11を参照しながら説明する。

【0007】図11において、電源投入前(t30以前)には各ノードN11～N14および出力端子T11の電位は0Vであるとする。時刻t30で電源が投入されると(図11(a))、まず、ノードN11はローレベルを保持している。そしてNチャネルMOSトランジスタ15はオフ状態であるので、キャパシタC12のカップリングにより、ノードN12は電源電圧まで上昇する。したがって、インバータ11がオンすると、ノードN11にローレベル、ノードN12にハイレベルが出力される(図11(b)、(c))。このとき、インバータ12によってノードN13はローレベル(図11(d))、さらにインバータ13によって出力端子T11にはハイレベルが出力され(図11(f))、MOSダイオードアレイ501を通してノードN14の充電を開始する(図11(e))。時刻t31にノードN14の電位がNチャネルMOSトランジスタ15のしきい電圧VT15を越えると、NチャネルMOSトランジスタ15がオン状態になり、ノードN12の電位を引き下げる。ノードN12がローレベルに引き下げられると、PチャネルMOSトランジスタ14、NチャネルMOSトランジスタ22、およびインバータ11で形成されるフリップフロップが反転する。その結果、ノードN11はハイレベル、ノードN12はローレベル、ノードN13はハイレベルとなり、出力端子T11はローレベルが出力される。このとき、ノードN13がハイレベルとなるので、NチャネルMOSトランジスタ16はオフ状態になり、キャパシタC13の蓄積電荷が放電されて、ノードN14はローレベルとなる。

【0008】以上の動作によって、時刻t30からノー

ドN12がNチャネルMOSトランジスタ15のオンにより反転される時刻t31までの期間がハイレベルとなるようなりセットパルス信号が出力端子T11に出力される。その後の電源が投入されている間は、ノードN11とノードN13はハイレベル、ノードN12とノードN14と出力端子T11はローレベルに保たれている。最後に、時刻t32で電源を切断すると、PチャネルMOSトランジスタ14のゲートが接続されているノードN12がローレベルであるので、ノードN11の蓄積電荷はPチャネルMOSトランジスタ14によって除去されて、ノードN11はローレベルにリセットされる。

【0009】

【発明が解決しようとする課題】上記従来のパワーオンリセットパルス発生回路は、電源投入時にローレベルを保つノードN11と電圧検出回路とによって、リセットパルス信号を発生させている。

【0010】しかしながら、従来の回路構成では、電源を切断した直後の電源再投入時の回路動作が考慮されていない。つまり、電源切断直後の電源再投入時ではノードN11がローレベルにリセットできていない場合を考えられ、そのような状態で電源投入を行った場合はリセットパルス信号は発生しない。このリセットパルス信号は同一チップ上に集積された他の回路の初期化に用いられるため、ひいてはチップ全体の誤動作を引き起こすという問題がある。

【0011】以下、この問題点について、図10のパワーオンリセットパルス発生回路を例にとって、電源切断直後に電源再投入を行ったときの動作を説明する。なお、説明に際しては、電源再投入時の動作波形図である図12も参照する。

【0012】図10のパワーオンリセットパルス発生回路は、電源投入時にはノードN11の電位がローレベルであることを前提としている。しかし、半導体集積回路装置では頻繁に電源をオン・オフさせる動作があったり、あるいは、動作時に停電のため電源が一瞬オフすると、電源が切断されてから再投入されるまでの時間が極めて短くなる場合がある。このような場合には、電源切断時間が短いために、ノードN11の蓄積電荷を十分に放電することができず、再び電源を投入したときに本来ローレベルであるべきノードN11がハイレベルと誤認識され、その結果リセットパルス信号が発生しないという事態が起こる。

【0013】図12において、電源切断前ではノードN11はハイレベル(図12(b))、ノードN12はローレベル(図12(c))、ノードN13はハイレベル(図12(d))、ノードN14はローレベル、出力端子T11はローレベルである(図12(e))。時刻t33で電源を切断すると(図12(a))、PチャネルMOSトランジスタ14のゲートが接続されているノードN12がローレベルであり、かつ電源端子T10の電

位が降下するので、ハイレベルであるノードN11の蓄積電荷はPチャネルMOSトランジスタ14を通して電源端子T10に放電される。ところが、このPチャネルMOSトランジスタ14の電荷除去能力はあまり大きくできない。それは、電源投入時のキャパシタC12によるカップリング作用を確実にするために、PチャネルMOSトランジスタ14の入力容量とNチャネルMOSトランジスタ22の入力容量を合わせたものがキャパシタC12の容量に対して十分小さくなるようにする必要があるためである。キャパシタC12の容量はレイアウト面積の制約もあり、無制限に大きくすることはできず、結局、PチャネルMOSトランジスタ14のサイズを小さく抑えなければならないことになる。したがって、ノードN11の電位は降下する電源電圧に十分追随することができず、ノードN11の電位は緩やかに降下する。

【0014】次に、電源切断時間が非常に短い状態で電源を再投入すると(図12、t34)、ノードN12はキャパシタC12のカップリング作用によって電源電圧VDDに追随しようとするが、ノードN11の蓄積電荷が十分放電されずノードN11はハイレベル状態のままであるので、ノードN11を入力とするインバータ11はローレベルを出力してノードN12をリセットする。その結果、ノードN12はローレベル、インバータ12によってノードN13はハイレベル、インバータ13によって出力端子T11はローレベルが出力される。また、ノードN14はローレベルである。これらのレベル状態は電源立ち上がり後もそのまま保持されるため、出力端子T11には結局リセットパルス信号が発生されない。

【0015】以上説明したように、電源切断直後の電源再投入時には、ノードN11がハイレベル状態のままパワーインリセットパルス発生回路が動作する可能性があり、このときにリセットパルス信号は発生されない。このリセットパルス信号は同一チップ上に集積した他の回路の初期化に用いられるため、このリセットパルス信号の不発生はチップ全体の誤動作を引き起こす原因となり、非常に問題となる。

【0016】本発明の目的は、上記のような問題点を解決し、電源切断直後の電源投入時にも確実にパワーインリセットパルスが発生される半導体集積回路装置を提供することである。

【0017】

【課題を解決するための手段】この目的を達成するために本発明の半導体集積回路装置は、パワーインリセットパルス発生のために用いるノードに、電荷除去のための回路を付加するように構成している。

【0018】本発明の請求項1に記載の発明の半導体集積回路装置は、電源とノードとの間に接続された第1のMOSトランジスタと、前記ノードがハイレベルのとき第1のMOSトランジスタを導通させる手段と、前記ノ

ードがローレベルのとき、電源電圧が所定のレベルを越えてから所定の遅延を経て、第1のMOSトランジスタを導通させる手段と、前記ノードと電源との間にソース、ドレイン間電流経路が接続され、前記ノードから電源への一方向のみに電流が流れるようダイオード接続された第2のMOSトランジスタとを有することを特徴とする。第2のMOSトランジスタはそのトランジスタサインを十分大きくすることが可能であり、電源切断時、きわめて短い時間でノードの蓄積電荷を除去することができ、電源切断時間が非常に短い場合でも、その後の電源再投入時に確実に正常な動作が行われる。

【0019】請求項2に記載の発明は、前記請求項1に記載の発明の半導体集積回路装置において、第2のMOSトランジスタを、ソースが電源に接続され、ゲートとドレインが前記ノードに共通接続されたNチャネルMOSトランジスタとしたものである。また、請求項3に記載の発明は、前記請求項1に記載の発明の半導体集積回路装置において、第2のMOSトランジスタを、ソースが前記ノードに接続され、ゲートとドレインが電源に共通接続されたPチャネルMOSトランジスタとしたものである。

【0020】請求項4に記載の発明の半導体集積回路装置は、電源とノードとの間に接続された第1のMOSトランジスタと、前記ノードがハイレベルのとき第1のMOSトランジスタを導通させる手段と、前記ノードがローレベルのとき、電源電圧が所定のレベルを越えてから所定の遅延を経て、第1のトランジスタを導通させる手段と、前記ノードと基準電位との間にソース、ドレイン間電流経路が接続され、所定の固定電位にゲートが接続された第3のMOSトランジスタとを有することを特徴とする。第3のMOSトランジスタは前記ノードが誤ってハイレベルになるのを防止する。第3のMOSトランジスタのゲートは固定電位に接続されるため、第3のMOSトランジスタのゲート容量が第1のMOSトランジスタのゲート容量に並列接続されることはない。その結果、電源とのカップリング動作等を正常に行わせながら、かつ、第1のMOSトランジスタのトランジスタサインを、第3のMOSトランジスタのゲート容量と無関係に、ある程度まで大きくすることができます。したがって、電源切断時のノードの蓄積電荷除去が速くなり、電源切断時間が短い場合でも、その後の電源再投入時に確実に正常な動作が行われる。

【0021】請求項5に記載の発明は、前記請求項1に記載の半導体集積回路装置において、さらに、前記請求項4に記載の発明と同様に、前記ノードと基準電位との間にソース、ドレイン間電流経路が接続され、所定の固定電位にゲートが接続された第3のMOSトランジスタを有することを特徴とするものである。

【0022】請求項6に記載の発明は、前記請求項4または5に記載の半導体集積回路装置において所定の固定

電位が前記基準電位であることを特徴とするものである。また、請求項 7 に記載の発明は、前記請求項 4 または 5 に記載の半導体集積回路装置において所定の固定電位が基板電位であることを特徴とするものである。いずれも、電源投入後、基板電圧が十分深くなつた通常動作時には第 3 の MOS トランジスタで電流が流れることがなくなり、無駄な電力を消費しない。

【 0 0 2 3 】 請求項 8 に記載の発明は、前記請求項 1 、 2 、 3 、 4 、 5 、 6 または 7 に記載の半導体集積回路装置において、前記ノードの電圧レベルに基づいてパワーオンリセットパルスを発生させることを特徴とするものである。これによって、電源切断時間が短い場合でも、その後の電源再投入時に確実にパワーオンリセットパルスを発生することができる。

【 0 0 2 4 】 請求項 9 に記載の発明の半導体集積回路装置は、ノードに接続された容量と、電源と前記ノードとの間にソース、ドレイン間電流経路が接続され、電源電圧が所定のレベルを越えたとき容量を充電する第 1 の MOS トランジスタと、前記ノードと電源との間にソース、ドレイン間電流経路が接続され、前記ノードから電源への一方向のみに電流が流れるようダイオード接続された第 2 の MOS トランジスタとを有することを特徴とする。第 2 の MOS トランジスタはそのトランジスタサイズを十分大きくすることが可能であり、電源切断時、きわめて短い時間でノードの蓄積電荷を除去することができ、電源切断時間が非常に短い場合でも、その後の電源再投入時に確実に正常な動作が行われる。

【 0 0 2 5 】 請求項 10 に記載の発明は、前記請求項 9 に記載の半導体集積回路装置において、第 2 の MOS トランジスタがソースが電源に接続され、ゲートとドレンが前記ノードに共通接続された N チャネル MOS トランジスタであることを特徴とするものである。また、請求項 11 に記載の発明は、前記請求項 9 に記載の半導体集積回路装置において、第 2 の MOS トランジスタがソースが前記ノードに接続され、ゲートとドレンが電源に共通接続された P チャネル MOS トランジスタであることを特徴とするものである。

【 0 0 2 6 】 請求項 12 に記載の発明は、前記請求項 9 に記載の半導体集積回路装置において、前記ノードと基準電位との間にソース、ドレイン間電流経路が接続され、所定の固定電位にゲートが接続された第 3 の MOS トランジスタを有することを特徴とするものである。これによって、第 2 の MOS トランジスタが電源投入時にリーグする等の問題が生じても、第 3 の MOS トランジスタによって前記ノードを確実にローレベルに保持することができる。

【 0 0 2 7 】 請求項 13 に記載の発明は、前記請求項 12 に記載の半導体集積回路装置において、所定の固定電位が前記基準電位であることを特徴とするものである。また、請求項 14 に記載の発明は、前記請求項 12 記載

の半導体集積回路装置において、所定の固定電位が基板電位であることを特徴とするものである。いずれも、電源投入後、基板電圧が十分深くなつた通常動作時には第 3 の MOS トランジスタで電流が流れることがなくなり、無駄な電力を消費しない。

【 0 0 2 8 】 請求項 15 に記載の発明は、前記請求項 9 、 10 、 11 、 12 、 13 または 14 に記載の半導体集積回路装置において、前記ノードの電圧レベルに基づいてパワーオンリセットパルスを発生させることを特徴とするものである。これによって、電源切断時間が短い場合でも、その後の電源再投入時に確実にパワーオンリセットパルスを発生することができる。

【 0 0 2 9 】

【発明の実施の形態】以下本発明の実施の形態について、図面を参照しながら説明する。

【 0 0 3 0 】 (第 1 の実施の形態) 図 1 は、本発明の第 1 の実施の形態におけるパワーオンリセットパルス発生回路の構成を示すものである。図 1 のパワーオンリセットパルス発生回路と図 10 に示される従来のそれとの相違点は、 N チャネル MOS トランジスタ 2 2 が除去され、インバータ 1 1 とキャパシタ C 1 1 の接続点であるノード N 1 1 に接続される電荷除去回路 5 0 2 と、 N チャネル MOS トランジスタ 1 9 が付加されている点である。電荷除去回路 5 0 2 はソースが電源端子 T 1 0 に、ゲートとドレンがノード N 1 1 に接続されている N チャネル MOS トランジスタ 1 7 と、ソースがノード N 1 1 に、ゲートとドレンが電源端子 T 1 0 に接続されている P チャネル MOS トランジスタ 1 8 とから構成されている。また、 N チャネル MOS トランジスタ 1 9 は、ゲートとソースはグランド E 1 0 に、ドレンはノード N 1 1 に接続されている。

【 0 0 3 1 】 この構成によれば、 N チャネル MOS トランジスタ 2 2 がないため、このゲート容量が、電源投入時にキャパシタ C 1 2 によるカップリング作用を妨げることがなくなる。すなわちノード N 1 2 がキャパシタ C 1 2 によって電源電圧 V D D に追随することを妨げるものが、主として、 P チャネル MOS トランジスタ 1 4 のゲート容量のみとなる。したがって、従来よりも P チャネルトランジスタ 1 4 を大きくすることができる。その結果、電源切断時にノード N 1 1 の電位がより速く低下することになり、電源切断時間が短い場合でも、次の電源再投入時にパワーオンリセットパルスが発生しないという不具合を生じにくくなる。

【 0 0 3 2 】 単に、ノード N 1 1 とグランドとの間の N チャネル MOS トランジスタ 2 2 を除去しただけでは、ノード N 1 1 がローレベルを維持すべきときにも種々の要因によってハイレベルになつてしまふという誤動作が生じる危険があるが、本実施の形態では、 N チャネル MOS トランジスタ 1 9 によって、そのような誤動作が生じないようにしている。

【0033】さらに、本実施の形態では、電荷除去回路502によって電源切断時のノードN11の放電をより確実にしている。以下、電荷除去回路502およびNチャネルMOSトランジスタ19の動作について説明する。

【0034】まず、電荷除去回路502の動作について、電源切断直後の電源再投入時の動作波形図である図2を参照して説明する。図2において、電源切断前ではノードN11はハイレベル(図2(b))、ノードN12はローレベル(図2(c))、ノードN13はハイレベル(図2(d))、出力端子T11はローレベルである(図2(e))。時刻t10で電源を切断すると(図2(a))、電源端子T10の電位が下がる。NチャネルMOSトランジスタ17のゲートはハイレベルであるノードN11にソースは電源端子T10に接続されているので、NチャネルMOSトランジスタ17はオン状態になり、ノードN11の蓄積電荷を電源端子T10に流出させて、ノードN11をリセットする。また、PチャネルMOSトランジスタ18も同様に、ソースはハイレベルであるノードN11に、ゲートは電圧降下する電源端子T10に接続されているので、蓄積電荷を電源端子T10に流出させて、ノードN11をローレベルにリセットする。

【0035】前述したように、PチャネルMOSトランジスタ14は、電源投入時のキャパシタC12によるカップリング作用を確実にするためにトランジスタのサイズをあまり大きくできない。しかし、NチャネルMOSトランジスタ17およびPチャネルMOSトランジスタ18にはそのような制約がないので、蓄積電荷を瞬時に引き抜けるようにトランジスタサイズを設定することができる。

【0036】次に、電源切断時間が非常に短い状態で電源を再投入すると(図2、t11)、ノードN11はローレベルにリセットされているので、ノードN12はハイレベル、インバータ12によってノード13はローレベル、インバータ13によって出力端子T11にハイレベルが出力される。したがって、リセットパルス信号を正常に発生させることができる。

【0037】なお、電荷除去回路502においては、NチャネルMOSトランジスタ17あるいはPチャネルMOSトランジスタ18の片方のみであっても蓄積電荷除去は行うことができる。しかし、図1に示すようにNチャネルMOSトランジスタ17とPチャネルMOSトランジスタ18を両方用いたときは、さらに確実に残留電荷を除去することができる。それは、電源端子と基板の間に形成されるNチャネルMOSトランジスタのソース・ドレイン領域の接合容量によるカップリングによって、電源切断時に電源端子がVDDから0Vに変動したとき、基板電位が瞬間に大きく負電位に変動して、NチャネルMOSトランジスタ17のしきい電圧VTが大

きくなり、NチャネルMOSトランジスタ17のみでは十分にノードN11の蓄積電荷を除去できない場合があるからである。PチャネルMOSトランジスタはNウェル内に形成されており、基板電圧VBBの影響は受けないので、そのような場合においてもノードN11をローレベルにリセットすることができる。また、この電荷除去回路502は電源投入後はノーマリオフ状態であるので、定常的な電流は流れず電力は消費しない。

【0038】次に、NチャネルMOSトランジスタ19の動作について、電源投入時に基板電圧が浅いために、NチャネルMOSトランジスタが微少リークを生ずる場合を例にとって説明する。動作説明の前に、まず基板電圧VBBについて説明する。

【0039】図3は基板電圧効果を示すグラフで、横軸は基板電圧VBB、縦軸はNチャネルMOSトランジスタのしきい電圧VTNである。図から分かるように負の基板電圧VBBによって基板を負電位にバイアスすることによって、しきい電圧VTNは大きくなり、また基板電圧VBBの変動に対するしきい電圧VTNの変動が小さくなるという効果が得られる。特にメモリーICなどでは、ラッチアップ防止、メモリーセルの電荷保持特性の向上やしきい電圧の変動を抑える等の目的で、基板を負電位にバイアスする基板電圧発生回路が同一チップ上に設けられている場合がある。

【0040】NチャネルMOSトランジスタの基板端子に所定の負電圧である基板電圧が印加されている間は、このNチャネルMOSトランジスタは所定のしきい電圧を保持することができる。しかし、負電圧である基板電圧を用いるようあらかじめ設計されたNチャネルMOSトランジスタにおいて、基板端子に十分な基板電圧が印加されなかった場合は、図3の特性からも分かるようにNチャネルMOSトランジスタのしきい電圧は小さくなる。言い換えると、NチャネルMOSトランジスタがディプレッション化して弱電流が流れる状態となる。電源投入後、基板電圧が印加されるまでには、基板電圧発生回路が動作する所定のしきい電圧に電源電圧が達するまでの時間と、ポンピング回路が動作して徐々に基板を負電位にバイアスするまでの時間を要する。したがって、電源投入直後は基板電圧が十分に発生せず、NチャネルMOSトランジスタがディプレッション化することによって、NチャネルMOSトランジスタのリーク電流が発生する。

【0041】まず、図1においてNチャネルMOSトランジスタ19がない回路構成で、電源投入時に基板電圧VBBが十分に発生しない場合の動作を図4を参照して説明する。電源投入前(時刻t13以前)には各ノードN11～N14および出力端子T11の電位は0Vとする。また、NチャネルMOSトランジスタとPチャネルMOSトランジスタのしきい電圧VTN、VTPは同じであるとする($VTN = VTP = VT$)。時刻t13で

電源を投入した直後は(図4(a))、基板電圧VBBが十分に発生せず、基板電位が十分に負電位にバイアスされていないので、NチャネルMOSトランジスタ17がディプレッション化してリーク電流が流れる。このリーク電流によってノードN11は電源電圧の上昇に追随してハイレベルに遷移する(図4(b))。また、NチャネルMOSトランジスタ15のリーク電流によってキャパシタC12のカップリング作用が十分に働くことなく、ノードN12はハイレベルに遷移しない(図4(c))。したがって、時刻t14で電源電圧がしきい電圧VTになると、インバータ11が動作してノードN12はローレベル(図4(c))、インバータ12によってノードN13はハイレベル(図4(d))、インバーター13によって出力端子T11にはローレベルが出力されて(図4(e))、結局リセットパルス信号が発生しない。

【0042】次にNチャネルMOSトランジスタ19を付与した回路構成で、電源投入時に基板電圧VBBが十分に発生しない場合の動作を図5を参照して説明する。電源投入前(時刻t15以前)には各ノードN11~N14および出力端子T11の電位は0Vとする。また、NチャネルMOSトランジスタとPチャネルMOSトランジスタのしきい電圧VTN、VTPは同じであるとする($VTN = VTP = VT$)。時刻t15で電源を投入した直後は(図5(a))、基板電圧VBBが十分に発生せず、基板電位が十分に負電位にバイアスされていないので、NチャネルMOSトランジスタ17がディプレッション化してリーク電流が流れる。しかし、ノードN11に接続されているNチャネルMOSトランジスタ19においても同様にディプレッション化によるリーク電流が流れるので、ノードN11に蓄積する電荷をグランドE10に除去することができる。したがって、ノードN11は確実にローレベルにリセットされる(図5(b))。

【0043】また、NチャネルMOSトランジスタ15のリーク電流によって、キャパシタC12のカップリング作用が十分働くことなく、ノードN12はハイレベルに遷移しない(図5(c))。しかし、電源電圧がしきい電圧VTになると(図5、t16)、ノードN11は0V(ローレベル)にリセットされているため、インバータ11はノードN12にハイレベル出力する(図5(c))。その結果、インバータ12によってノードN13はローレベル(図5(d))、インバータ13によって出力端子T11はハイレベル出力となって(図5(e))、正常にリセットパルス信号が発生する。この蓄積電荷除去用のNチャネルMOSトランジスタ19のサイズについては、電荷除去を確実にするためNチャネルMOSトランジスタ17のサイズよりも十分大きくすることが重要である。

【0044】なお、NチャネルMOSトランジスタ19

はゲート電極がグランドに接続されておりノーマリオフ状態であるので、基板電圧VBBが十分発生されれば定常的な電流は流れず、電力は消費しない。また、基板電圧発生回路を用いている場合は、NチャネルMOSトランジスタ19のゲートを基板電位に接続してもよい。この場合、基板電位を検知してNチャネルMOSトランジスタがオン・オフする。つまり、基板電圧の不発生時にはゲートに十分な負電圧は印加されないのでディプレッション化してオン状態となり、同様にディプレッション化しているNチャネルMOSトランジスタ17のリーク電流をグランドに放出する。基板電位が正常に負電位にバイアスされるようになれば、ゲート電極には負電圧が印加されるのでNチャネルMOSトランジスタ19はカットオフして電流は流れない。

【0045】以上のように本実施の形態によれば、電源切断時に電荷除去回路502によってノードN11の残留電荷が瞬時に除去されるので、電源切断直後の電源再投入時においても確実にパワーオンリセットパルスを発生させることができる。また、電源投入時に基板電圧VBBが十分に発生しない場合において、NチャネルMOSトランジスタ17のリーク電流によりノードN11に電荷が注入されても、NチャネルMOSトランジスタ19によってこの蓄積電荷を除去することができるので、確実にパワーオンリセットパルスを発生させることができるもの。

【0046】(第2の実施の形態)以下本発明の第2の実施の形態について図面を参照しながら説明する。

【0047】図6は本発明の第2の実施の形態におけるパワーオンリセットパルス発生回路を示す構成図である。図6において、502は電荷除去回路で、ソースが電源端子T10に、ゲートとドレインがノードN15に接続されているNチャネルMOSトランジスタ17と、ソースがノードN11に、ゲートとドレインが電源端子T10に接続されているPチャネルMOSトランジスタ18とから構成されている。19はNチャネルMOSトランジスタで、ゲートとソースはグランドE10に、ドレインはノードN15に接続されている。20はゲートがグランドE10に、ソースが電源端子T10に、ドレインがノードN15に接続されたPチャネルMOSトランジスタ、C14は一端がグランドE10に、他端がノードN15に接続されたキャパシタ、21はノードN15を入力とするインバータである。210、211はそれぞれインバータ21を構成するPチャネルMOSトランジスタ、NチャネルMOSトランジスタである。

【0048】まず、図6のパワーオンリセットパルス発生回路において、PチャネルMOSトランジスタ20とキャパシタC14とインバータ21から構成される部分の動作について動作波形図である図7を参照して説明する。電源投入前はノードN15および出力端子T11はローレベルであるとする。時刻t20で電源を投入する

と(図7(a))、インバータ21が動作する。この時点ではノードN15はローレベルである(図7(b))、出力端子T11にはハイレベルが出力される(図7(c))。それと同時に、電源の電圧がPチャネルMOSトランジスタ20のしきい値電圧を越えると、一方でPチャネルMOSトランジスタ20もオンし、キャパシタC14の充電を開始する。そしてキャパシタC14の容量成分とPチャネルMOSトランジスタ20の抵抗成分で決まる遅延時間のうちに(図7、t21)、ノードN15はハイレベルに反転して、出力端子T11にローレベルが出力される。以上の動作によって、時刻t20からノードN15が反転される時刻t21の幅を持つリセットパルス信号が得られる。最後に、時刻t22で電源を切断すると、ノードN15がハイレベルであり、電源端子T10の電位が降下するので、PチャネルMOSトランジスタ20によってノードN15はリセットされる。

【0049】図6のパワーオンリセットパルス発生回路において、電荷除去回路502の動作を、電源切断直後の電源再投入時の動作波形図である図8を参照して説明する。電源切断前ではノードN15はハイレベル(図8(b))、出力端子T11はローレベルである(図8(c))。時刻t23で電源を切断すると(図8(a))、電源端子T10の電位が下がる。NチャネルMOSトランジスタ17のゲートはハイレベルであるノードN15にソースは電源端子T10に接続されているので、NチャネルMOSトランジスタ17はオン状態になり、ノードN15の蓄積電荷を電源端子T10に流出させて、ノードN15をリセットする。また、PチャネルMOSトランジスタ18も同様に、ソースはハイレベルであるノードN15に、ゲートは電圧降下する電源端子T10に接続されているので、蓄積電荷を電源端子T10に流出させて、ノードN15をローレベルにリセットする。

【0050】PチャネルMOSトランジスタ20のトランジスタサイズは、パワーオンリセットパルスのパルス幅を確保するために大きさが制限されるが、NチャネルMOSトランジスタ17とPチャネルMOSトランジスタ18のトランジスタサイズはこのような制限がなく、大きくすることができるので、瞬時に蓄積電荷を除去できる。次に、電源切断時間が非常に短い状態で電源を再投入すると(図8、t24)、ノードN15はローレベルにリセットされているので、インバータ21によって出力端子T11にハイレベルが出力される。したがって、リセットパルス信号を正常に発生させることができる。

【0051】次にNチャネルMOSトランジスタ19の動作を、電源投入時に基板電圧VBBが十分発生しない場合の動作波形図である図9を参照して説明する。電源投入前(時刻t25以前)にはノードN15および出力

端子T11の電位は0Vとする(図9(b))、(c))。時刻t25で電源を投入した直後は(図9(a))、基板電圧VBBが十分発生せず、基板電位が十分に負電位にバイアスされていないので、NチャネルMOSトランジスタ17がディプレッション化してリーク電流が流れる。しかし、ノードN15に接続されているNチャネルMOSトランジスタ19においても同様にディプレッション化によるリーク電流が流れるので、ノードN15に蓄積する電荷をグランドE10に除去することができる。したがって、ノードN15は確実にローレベルにリセットされる。時刻t24で電源電圧がしきい値電圧VTPを越えると、インバータ21によって出力端子T11にハイレベルが出力されて、正常にリセットパルス信号が発生する。第1の実施の形態でも述べたが、この蓄積電荷除去用のNチャネルMOSトランジスタ19のサイズについては、電荷除去を確実にするためNチャネルMOSトランジスタ17のサイズよりも十分大きくすることが重要である。なお、NチャネルMOSトランジスタ19はゲート電極がグランドに接続されておりノーマリオフ状態であるので、基板電圧VBBが十分発生されれば定常的な電流は流さない。つまり消費電力は非常に微小である。

【0052】以上の説明では、NチャネルMOSトランジスタ19のゲートはグランドに接続されているとしたが、第1の実施の形態の場合と同様、これは、基板電位に接続してもよい。

【0053】以上のように本実施の形態によれば、第1の実施の形態と同様に、電源切断時に電荷除去回路502によってノードN15の残留電荷が瞬時に除去されるので、電源切断直後の電源再投入時においても確実にパワーオンリセットパルスを発生させることができる。また、電源投入時に基板電圧VBBが十分に発生しない場合において、NチャネルMOSトランジスタ17のリーク電流によりノードN15に電荷が注入されても、NチャネルMOSトランジスタ19によってこの蓄積電荷を除去することができるので、確実にパワーオンリセットパルスを発生させることができる。

【0054】

【発明の効果】以上のように、請求項1ないし請求項8に記載の発明によれば、電源投入後、ある期間のみローレベルを保持し、それ以外はハイレベルとなるノードを有する半導体集積回路装置において、電源切断時にそのノードに残留した蓄積電荷をきわめて短時間で除去することができ、電源切断時間が非常に短い場合でも、その後の電源再投入時に確実に正常な動作を行うことが可能になる。

【0055】また、請求項9ないし請求項15に記載の発明によれば、電源投入後、ある期間内でローレベルからハイレベルにチャージアップされるノードを有する半導体集積回路装置において、電源切断時にそのノードに

残留した蓄積電荷をきわめて短時間で除去することができ、電源切断時間が非常に短い場合でも、その後の電源再投入時に確実に正常な動作を行うことが可能になる。

【0056】さらに、請求項8または請求項15に記載の発明によれば、蓄積電荷を短時間で除去する手段を附加したノードの電圧レベルに基づいてパワーオンリセットパルスを発生させるので、電源切断時間が非常に短い場合でも、その後の電源再投入時に確実にパワーオンリセットパルスが発生される半導体集積回路装置を実現することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態におけるパワーオンリセットパルス発生回路を示す回路図

【図2】図1のパワーオンリセットパルス発生回路において、電源切断直後の電源再投入時の動作を説明するための波形図

【図3】基板電圧効果を示す図

【図4】図1のパワーオンリセットパルス発生回路において、NチャネルMOSトランジスタ19を除いた場合に、電源投入時に基板電圧が十分発生しないときの動作を説明するための波形図

【図5】図1のパワーオンリセットパルス発生回路において、電源投入時に基板電圧が十分発生しないときの動作を説明するための波形図

【図6】本発明の第2の実施の形態におけるパワーオンリセットパルス発生回路を示す回路図

【図7】図6のパワーオンリセットパルス発生回路の動作を説明するための波形図

【図8】図6のパワーオンリセットパルス発生回路において、電源切断直後の電源再投入時の動作を説明するための波形図

【図9】図6のパワーオンリセットパルス発生回路にお

いて、電源投入時にリーク電流が発生している場合の動作を説明するための波形図

【図10】従来のパワーオンリセットパルス発生回路を示す回路図

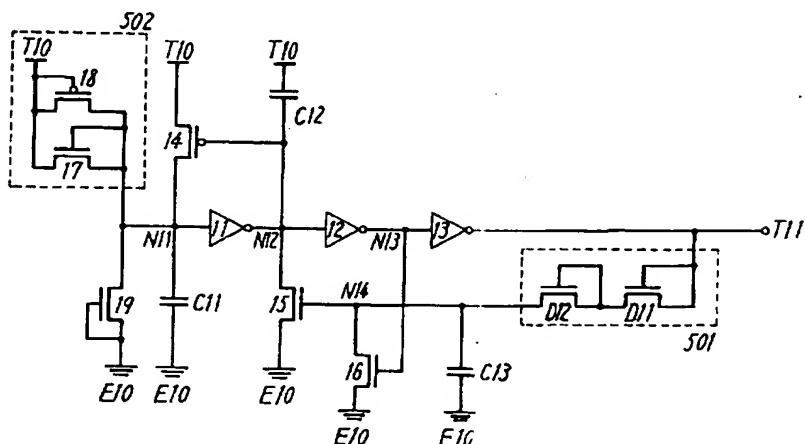
【図11】従来のパワーオンリセットパルス発生回路の動作を説明するための波形図

【図12】電源切断直後の電源再投入時の場合において、従来のパワーオンリセットパルス発生回路の有する問題を説明するための波形図

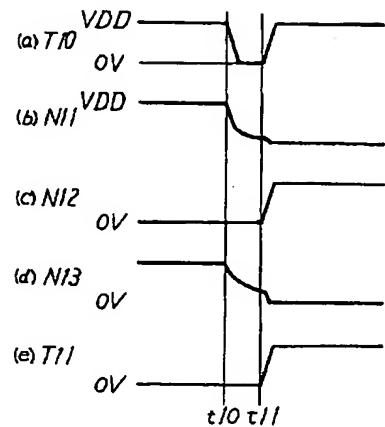
【符号の説明】

1 1	インバータ
1 2	インバータ
1 3	インバータ
1 4	PチャネルMOSトランジスタ
1 5	NチャネルMOSトランジスタ
1 7	NチャネルMOSトランジスタ
1 8	PチャネルMOSトランジスタ
1 9	NチャネルMOSトランジスタ
2 0	PチャネルMOSトランジスタ
2 1	インバータ
2 1 0	PチャネルMOSトランジスタ
2 1 1	NチャネルMOSトランジスタ
5 0 1	MOSダイオードアレイ
5 0 2	電荷除去回路
C 1 1	キャパシタ
C 1 2	キャパシタ
C 1 3	キャパシタ
C 1 4	キャパシタ
D 1 1	MOSダイオード
D 1 2	MOSダイオード
N 1 1	ノード
N 1 5	ノード

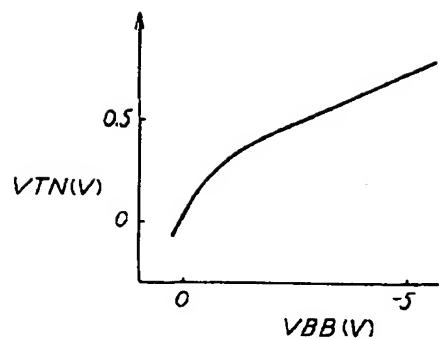
【図1】



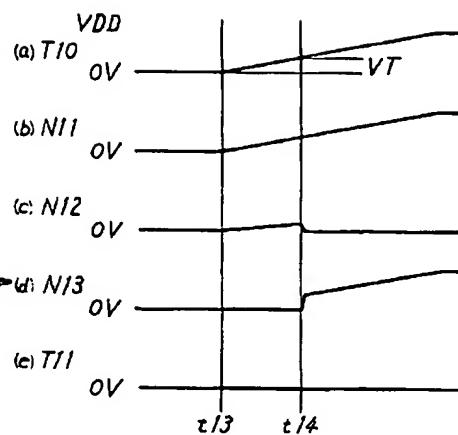
【図2】



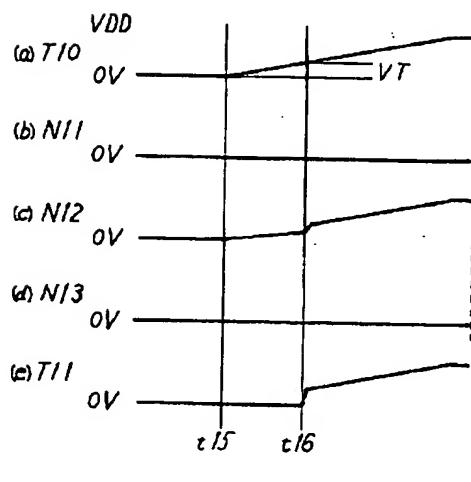
【図 3】



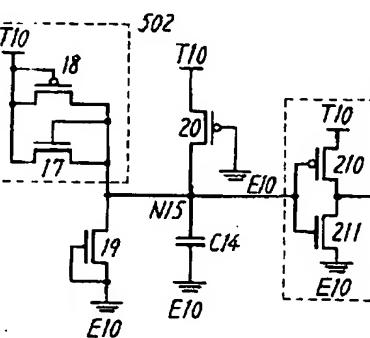
【図 4】



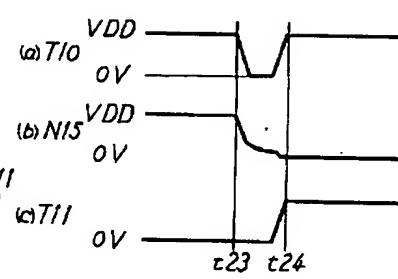
【図 5】



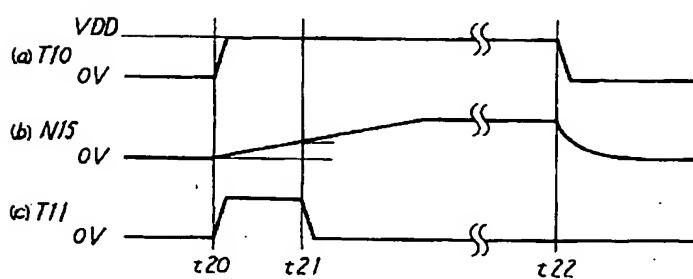
【図 6】



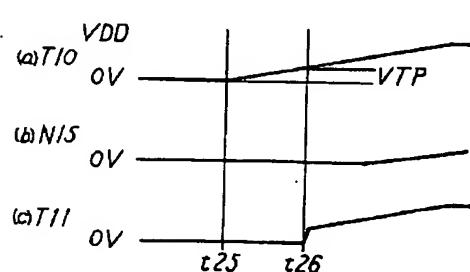
【図 8】



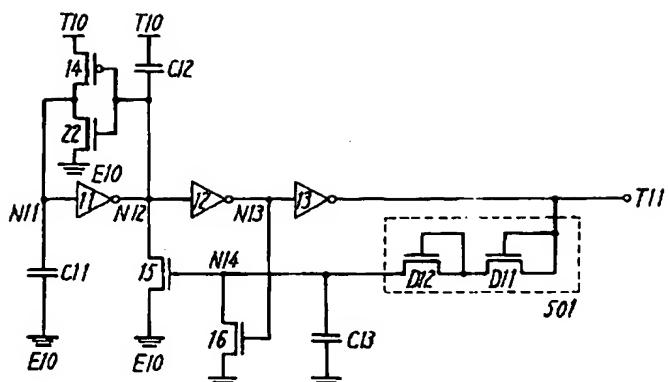
【図 7】



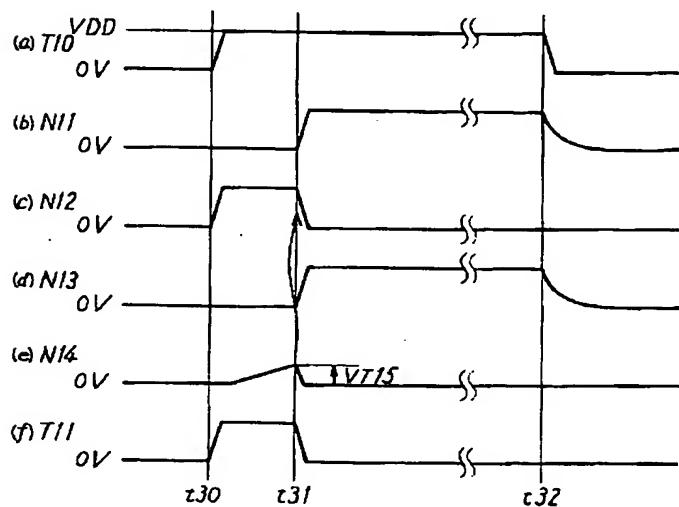
【図 9】



【図 1 0】



【図 1 1】



【図 1 2】

